

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-264602

(43)Date of publication of application : 12.10.1993

(51)Int.Cl.

G01R 13/32

(21)Application number : 03-357777

(71)Applicant : SONY TEKTRONIX CORP

(22)Date of filing : 26.12.1991

(72)Inventor : JIEFURII OO BURATSUDOFUOODO
RICHIYAADO DABURIYUU SUPEEN

(30)Priority

Priority number : 90 633872

Priority date : 26.12.1990

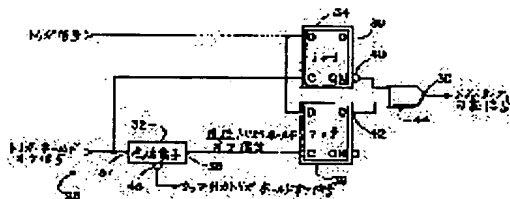
Priority country : US

(54) METASTABLE CONDITION DETECTING APPARATUS

(57)Abstract:

PURPOSE: To provide a metastable condition detecting apparatus which can effectively detect whether there is the possibility of a metastable condition or not.

CONSTITUTION: A metastable condition detecting apparatus detects whether there is the possibility of metastable condition of a digital circuit or not which receives a first signal (trigger signal) and a second signal (trigger-hold off signal) which are asynchronous with each other. The apparatus is provided with a first latch 34 which memorizes the information of a first state of a first signal before a second signal transfers to a prescribed state, a second latch 36 which memorizes the information which shows the transfer of the first signal to a second state to the first state during a set time gap after the second signal transfers to the prescribed state, and an and-gate 44 which generates a signal which shows whether the condition transfer of the first and the second signals occurs within a set period or not corresponding to the information in the first and the second latches.



LEGAL STATUS

[Date of request for examination]

24.06.1993

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

2120077

2. 4. 2.

2. 4. 2.

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-264602

(43)公開日 平成5年(1993)10月12日

(51)Int.Cl.⁵
G 0 1 R 13/32

識別記号 庁内整理番号
J 8203-2G

F I

技術表示箇所

審査請求 未請求 請求項の数1(全 9 頁)

(21)出願番号 特願平3-357777

(22)出願日 平成3年(1991)12月26日

(31)優先権主張番号 6 3 3 8 7 2

(32)優先日 1990年12月26日

(33)優先権主張国 米国 (U S)

(71)出願人 000108409

ソニー・テクトロニクス株式会社
東京都品川区北品川5丁目9番31号

(72)発明者 ジェフリー・オー・ブラッドフォード
アメリカ合衆国オレゴン州97229 ポート
ランド ノース・ウェスト リーハイ・ロ
ード 9838

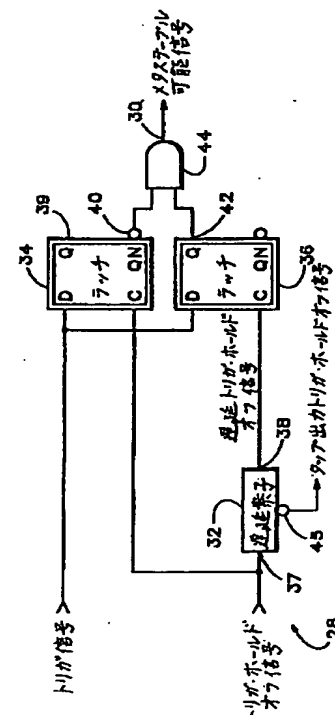
(72)発明者 リチャード・ダブリュー・スぺーン
アメリカ合衆国カリフォルニア州92124
サンディエゴ マタドール・コート
10371

(54)【発明の名称】 メタステーブル状態検出装置

(57)【要約】

【目的】デジタル回路に関してメタステーブル状態の可能性があるか否かを効果的に検出し得るメタステーブル状態検出装置を提供すること。

【構成】互いに非同期関係の第1信号(トリガ信号)及び第2信号(トリガ・ホールドオフ信号)を受けるデジタル回路のメタステーブル状態の可能性があるか否かを検出するメタステーブル状態検出装置。第2信号の所定の状態遷移前に第1信号の第1状態を表す情報を記憶する第1ラッチ34と、第2信号の上記所定の状態遷移後、所定時間間隔中に上記第1信号の上記第1状態から第2状態への遷移を表す情報を記憶する第2ラッチ36と、第1及び第2ラッチ内の情報に応じて上記第1及び第2信号の状態遷移が上記所定の期間内に発生したか否かを表す信号を発生するアンド・ゲート44とを備えている。



【特許請求の範囲】

【請求項1】 各々2状態間で遷移する互いに非同期関係の第1及び第2信号を受け、デジタル回路のメタステーブル状態の可能性があるか否かを検出するメタステーブル状態検出装置であって、

上記第2信号の所定の状態遷移前に上記第1信号の第1状態を表す情報を記憶する第1記憶手段と、

上記第2信号の上記所定の状態遷移後、所定時間間隔中に上記第1信号の上記第1状態から第2状態への遷移を表す情報を記憶する第2記憶手段と、

上記第1及び第2記憶手段内の情報に応じて上記第1及び第2信号の状態遷移が上記所定の期間内に発生したか否かを表す検出信号を発生する検出出力手段とを備えることを特徴とするメタステーブル状態検出装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、タイミング・ジッタに起因する誤差を排除する為のメタステーブル状態検出装置に関する。

【0002】

【従来技術及び発明が解決しようとする課題】高速オシロスコープでデジタル回路を測定する場合に、デジタル回路の不安定状態に起因するタイミング・ジッタ（以下単にジッタという）が問題になる。オシロスコープの内部信号の論理状態間の遷移と殆ど同時に外部被測定信号がある状態から別の状態に遷移する時にジッタが発生する。この現象は、外部信号がデジタル信号であろうとアナログ信号であろうと発生する。回路設計者は、以前からこのような「競合」状態の問題に気付いており、全ての信号を共通のシステム・クロックで駆動する同期型回路を使用することにより、論理信号の遷移時点の一致の問題を排除しようと努力してきた。

【0003】このような競合状態が論理回路において問題になるのは、例えば、フリップ・フロップの異なる入力端に夫々供給された2つの信号が論理状態を殆ど同時に遷移した時に、そのフリップ・フロップの出力状態が不定状態になるような場合である。大抵は出力結果は正しくなるが、回路の状態が最終の安定状態に達するまで出力信号は無意味な遷移を続けることもある。また、予測出来ない遅延時間の経過後に出力信号が最終状態に移ることもある。このような予測出来ない不安定な信号状態をメタステーブル状態と呼んでいる。

【0004】オシロスコープの如き測定器では、測定用内部信号と外部から印加された被測定信号との同期関係を保証することは出来ない。このような同期関係が保証されない信号の組み合わせの一例は、トリガ信号とトリガ・ホールド・オフ信号である。トリガ信号は、一般に被測定外部信号から導かれるものなので、未知の波形特性を持った時間的に勝手に変化する信号である。オシロスコープが一旦トリガされると、トリガ・ホールド・オ

フ信号のような種々の信号が内部回路で発生する。トリガ・ホールド・オフ信号は、現在の測定が完了し、オシロスコープが次の測定の準備が出来るまで次のトリガ信号が発生するのを防止する為の信号である。次の新しいトリガ信号をオシロスコープが発生すると殆ど同時にトリガ・ホールド・オフ信号が論理状態を遷移した場合にジッタが発生するかも知れない。どの程度の時間的な一致がジッタの原因となるかは、トリガ信号及びトリガ・ホールド・オフ信号によって駆動されるデジタル回路の既知の電気的特性から決まる。

【0005】二重同期回路のような従来の技術は、上述の問題を軽減するがトリガのジッタをなくすことは出来ない。この二重同期回路は、米国オレゴン州、ビーバートンのテクトロニクス社が製造している11000シリーズの如き種々のオシロスコープに使用されている。

【0006】図6は、従来の二重同期回路8のブロック図である。この回路では、非同期型デジタル回路のメタステーブル状態の影響を軽減出来るがなくすことは出来ない。トリガ・ホールド・オフ信号とトリガ信号が第1フリップ・フロップ14のD入力端及びクロック入力端Cに夫々供給される。トリガ信号の論理状態の立ち上がり遷移に応じてD入力端の状態がフリップ・フロップ14のQ出力端16に発生する。このQ出力端16の信号は、D入力端のトリガ・ホールド・オフ信号の論理状態変化と同時に入力端12のトリガ信号が状態変化した場合にメタステーブル状態となるかも知れない。

【0007】このメタステーブル状態になる確率を低減する為に、第2フリップ・フロップ18のD入力端がフリップ・フロップ14のQ出力端16に接続されている。フリップ・フロップ18のクロック入力端Cは、遅延素子20を介してトリガ信号を受ける。この遅延素子20によりトリガ信号に与えられる遅延時間は、フリップ・フロップ14の信号伝播時間より長い。遅延素子20は、複数のゲートを直列接続したり、長いケーブルを使用する等により実現され、その出力端のトリガ信号を所望時間遅延させることが出来る。従って、フリップ・フロップ18は、フリップ・フロップ14のQ出力端16の信号と遅延素子20からの信号を入力信号として受ける。

【0008】二重同期回路8の動作は、フリップ・フロップ14の出力端16の信号がメタステーブル状態になっても、遅延素子20を介して遅延トリガ信号出力22がフリップ・フロップ18に供給されるまでの間に安定するであろうという仮定に基づいている。従って、第2フリップ・フロップ18の出力24は、信頼できる主ホールド・オフ信号であると考えられる。この二重同期回路8の問題は、確率は小さいが、第1フリップ・フロップ14の出力端16に信号が発生する時点が遅延素子20からの遅延トリガ信号より遅れること、又は出力端16の信号が正しい論理状態に安定せずフリップ・フロップ

18の出力端24の信号の信頼性を損なうことである。
 【0009】メツによる米国特許第4797572号
 (特開昭63-200071号)の公報に開示されたトリガ再同期回路もトリガのジッタを軽減するが完全に除去することは出来ない。この特許の説明によれば、従来のトリガ検出回路の後段に遅延素子及び論理ゲートを設けることにより、遅延素子の伝播時間を超えるような時間的なずれがトリガ信号とトリガ・ホールドオフ信号との間にない限りトリガ信号のジッタの問題を除去できるとしている。このメツによる回路も同期回路の別の形態に過ぎない。

【0010】トリガのジッタは、特に高速デジタル・サンプリング・オシロスコープにおいて大きな問題となる。すなわち、トリガ・ジッタがあるとサンプリングされ、記憶された測定点が不正確な位置に表示されるので波形表示が混乱し、表示全体をクリアするまでその混乱が継続するからである。更に、オシロスコープの測定帯域幅が広がると、それにつれてトリガ帯域幅も広げる必要が生じ、測定帯域幅以上のトリガ帯域幅を実現しなければならない。トリガ帯域幅を広げることは、トリガの時間的ジッタの原因となるメタステーブル状態の発生確率を増加することを意味する。

【0011】このように、メタステーブル状態に起因するトリガ・ジッタの発生を軽減するだけでなくジッタを除去することが重要である。生憎と、ジッタを低減する為の従来の回路構成では、ジッタの発生を防ぐ為に設計する論理回路の有効帯域幅を犠牲にする傾向があったのである。

【0012】従って、本発明の目的は、デジタル回路に関してメタステーブル状態の可能性があるか否かを効果的に検出し得るメタステーブル状態検出装置を提供することである。

【0013】

【課題を解決する為の手段】本発明は、各々2状態間で遷移する互いに非同期の第1及び第2信号を受けるデジタル回路のメタステーブル状態の可能性があるか否かを検出するメタステーブル状態検出装置を提供している。この装置は、第2信号の所定の状態遷移前に第1信号の所定の第1状態を表す情報を記憶する第1記憶手段34と、第2信号の所定の状態遷移後、所定時間間隔中に上記第1信号の上記第1状態から第2状態への遷移を表す情報を記憶する第2記憶手段36と、上記第1及び第2記憶手段内の情報に応じて上記第1及び第2信号の状態遷移が上記所定の期間内に発生したか否かを表す検出信号を発生する検出出力手段44とを備えている。

【0014】

【実施例】図1は、本発明に係る論理状態遷移検出器28の一実施例の構成を示すブロック図である。この検出器28は、遅延素子32によって決まる所定の時間間隔の範囲以内でトリガ信号とトリガ・ホールドオフ信号の

論理変化が発生した場合に出力端30にメタステーブル状態の発生可能性を示すメタステーブル可能信号を発生する。メタステーブル状態が発生するのは、論理装置の製造元で決めている特定の時間よりも短い間隔で論理入力信号が状態遷移した場合である。論理装置には、入力される論理信号の最小セットアップ時間及び最小ホールド時間等を特定した仕様書が添付されている。本発明では、オシロスコープの論理回路がメタステーブル状態にならずに動作できるようにセットアップ時間及びホールド時間の仕様からはずれて論理状態が遷移した場合を検出する。遅延素子32で与えられる遅延時間は、トリガ信号及びトリガ・ホールドオフ信号により駆動される論理回路の仕様を満足する為のセットアップ時間及びホールド時間以上に設定される。

【0015】図1において、トリガ信号は2つの記憶素子、ラッチ34及び36のD入力端に供給される。トリガ・ホールドオフ信号は、ラッチ34のC入力端及び遅延素子32の入力端に供給される。遅延素子32の出力端子38から出力される遅延トリガ・ホールドオフ信号は、ラッチ36のC入力端に供給される。ラッチ34及び36は、後述するようにフォロー・アンド・ホールド・ラッチとして動作する。

【0016】一般に、C入力信号が真(論理「1」)であれば、Q出力は、D入力端の入力信号の論理状態に従う(即ち、フォローする)。C入力端が偽(論理「0」)であれば、D入力端に最後に印加された信号の論理状態を維持(即ち、ホールド)している。オシロスコープのトリガ回路において、時間的に問題となる瞬間は、トリガ・ホールドオフ信号が真から偽に変化する時に発生するので、ラッチ34はトリガ・ホールドオフ信号が偽に変化する時にトリガ信号の論理状態を出力端39に出力し、ラッチ36は、遅延素子32からの遅延トリガ・ホールドオフ信号が偽に変化する時にトリガ信号の状態をQ出力端42に出力する。

【0017】遅延トリガ・ホールドオフ信号が偽に変化した後でラッチ34及び36のQ出力端39及び42が同じ論理状態であれば、トリガ・ホールドオフ信号が遅延素子32を通過する際にトリガ信号が論理状態を変化していないことになる。もし、遅延トリガ・ホールドオフ信号が偽に状態変化した後Q出力端39及び42が異なる論理状態であれば、トリガ・ホールドオフ信号が遅延素子32を通過する間にトリガ信号の論理状態が変化したことになる。即ち、トリガ信号とトリガ・ホールドオフ信号の状態変化の一致程度は、遅延素子32の伝播遅延時間までの時間量の範囲である。ラッチ34及び36に記憶された論理状態の違いは、ラッチ34の反転Q出力端40とラッチ36のQ出力端42とから異なる入力をアンド・ゲート44に供給することによって検出する。アンド・ゲート44の出力端30は、図1の検出回路28の出力端であって、ここからメタステーブル状

態の発生可能性を示すメタステーブル可能信号が発生される。

【0018】遅延素子32は、その出力端38からの出力よりは少ない遅延量のトリガ・ホールドオフ信号を出力する遅延タップ45を有する。遅延タップ45は、この例では遅延素子32の中央に設けられている。実際の動作では、遅延タップ45の位置、即ちそこから出力される信号の遅延量は、本発明を実現する論理回路に必要なセットアップ時間及びホールド時間によって決まる。

【0019】図2は、図1の状態遷移検出回路28とトリガ検出用フリップ・フロップ50を含む本発明の一実施例の回路図である。トリガ信号検出用フリップ・フロップ50では、C（クロック）入力端52にトリガ信号が供給され、D入力端には遅延素子32の遅延タップ45からの遅延トリガ・ホールドオフ信号が供給される。遅延タップ45の出力は、駆動する論理回路の条件に応じて反転信号か非反転信号かの何れでも良い。このトリガ検出用フリップ・フロップ50の場合には、トリガ・ホールドオフ信号が偽の時にD入力端54の信号が真であるべきなので、遅延素子32の遅延タップ45の出力信号を反転する必要がある。論理状態の反転の技法については、遅延素子32の遅延時間及びタップの条件と共に後述する。

【0020】説明の便宜上、遅延素子32の伝播遅延時間を200ナノ秒とし、遅延タップ45が遅延素子の中央に位置しているものとする。トリガ・ホールドオフ信号が時点0で論理状態が偽に遷移したとすると、遅延タップ45の信号は100ナノ秒後に真に変化し、トリガ検出用フリップ・フロップ50のD入力端をセットしてフリップ・フロップ50をイネーブル状態にする。その後、時点0から200ナノ秒以上経過した後にトリガ信号の論理状態が真に変化したとすると、トリガ検出用フリップ・フロップ50のQ出力端56の論理状態は、論理状態遷移検出回路28の動作より遅れて変化するのでメタステーブル状態の発生可能性を示すメタステーブル可能信号が検出出力端30から発生しない。

【0021】しかし、もしトリガ信号が時点0から150ナノ秒経過時点で真に遷移した場合には、トリガ検出用フリップ・フロップ50のQ出力端56は、論理状態遷移検出回路28の動作時間内に変化するので、検出出力端30からメタステーブル状態の可能性を示すメタステーブル可能信号が発生される。

【0022】時点0から50ナノ秒経過時点でトリガ信号が真に遷移した場合には、トリガ検出用フリップ・フロップ50のD入力端54にタップ45からの遅延トリガ・ホールドオフ信号が到着する前にフリップ・フロップ50の状態が変化することになる。これは、遅延素子32の遅延時間で決まる論理状態遷移検出回路28の動作時間内なので、遷移検出出力端30からメタステーブル状態の可能性を示すメタステーブル可能信号が出力さ

れる。

【0023】上述の3つの例が示しているように、メタステーブル可能信号が発生しないのにトリガ検出用フリップ・フロップ50が論理状態を変化させるのは、遅延素子32のタップ出力端45に遅延トリガ・ホールドオフ信号が真に変化した時点からラッチ36のセットアップ時間及びホールド時間に0.1ナノ秒を加えた時間経過以後にトリガ信号が発生したのをC入力端52が検出するという条件の場合だけである。

【0024】遅延素子32の伝播遅延時間がラッチ34及び36並びにトリガ検出用フリップ・フロップ50のセットアップ時間及びホールド時間に比べて十分に長い場合には、フリップ・フロップ50は、トリガ信号の状態遷移とトリガ・ホールドオフ信号の状態遷移との時間差が遅延素子32の伝播遅延時間を超えている場合のみトリガのメタステーブル状態と無関係となる。トリガ検出用フリップ・フロップ50のQ出力端56は、オシロスコープで通常使用される主トリガ信号を表している。

【0025】図3は、本発明をオシロスコープに応用した場合の一実施例の構成を示すブロック図である。この回路は、例えば米国カリフォルニア州サンジエゴのアブライド・マイクロ・サーキット・コーポレーション（AMCC）が製造販売しているQ3500シリーズの如きECL（エミッタ結合論理）ゲート・アレイを用いて構成されている。当業者が本発明の回路を構成する際に、他のメーカの例えばTTLのような異なる論理ゲート又は分離型の論理チップ等を用いても良いし、それらを組み合わせても良いことは勿論である。本発明の新規性又は有用性に何等影響することなく構成した回路の性能を更新することは可能である。遅延素子32の伝播遅延時間も異なる論理ゲート・ファミリーの異なるセットアップ時間及びホールド時間等の仕様に合わせて変更する必要もあるであろう。

【0026】図3において、トリガ・ホールドオフ信号はバッファ論理素子58及び60を介してトリガ検出用フリップ・フロップ50のリセット入力端（AR）57に供給される。これらバッファ58及び60は、トリガ・ホールドオフ信号の負荷を低減する為のものである。トリガ検出用フリップ・フロップ50のQ出力端56

は、トリガ・ホールドオフ信号が真である限り偽の状態に維持されている。トリガ・ホールドオフ信号は、バッファ58及び60により遅延された後にトリガ検出用フリップ・フロップのリセット入力端57に供給される。バッファ58及び60の遅延時間を補償する為、バッファ62、64及び66がバッファ58及び60の遅延時間を超える時間だけトリガ・ホールドオフ信号を遅延させ、この遅延トリガ・ホールドオフ信号がラッチ34のC入力端と遅延素子32の入力端37に供給される。バッファ62、64及び66による遅延時間は、トリガ検出用フリップ・フロップ50のリセット信号が確実に

偽になってからトリガ検出用フリップ・フロップ50のC入力端のトリガ信号が真になるようにトリガ検出用フリップ・フロップ50の製造元の仕様書に記載されたリセット解除時間に基づいて設定されている。

【0027】図3において、論理信号線の多くは差動対を構成している。上述のAMCCのQ3500シリーズのようなECL論理の場合、差動対を用いると論理動作を高速化し且つ回路のノイズ除去比を改善することが出来る。信号の論理状態の反転は、単に差動対の一方と他方を交換して接続するだけで容易に行える。例えば、遅延素子32に入力されたトリガ・ホールドオフ信号の状態を反転するには、遅延タップ45において必要な反転の為に接続交換を行えば良い。トリガ信号は、バッファ68を介してラッチ34及び36のD入力端並びにトリガ検出用フリップ・フロップ50のC入力端52に非反転信号として供給される。

【0028】論理状態遷移検出回路28は、ラッチ34及び36、遅延素子32、アンド・ゲート44並びにバッファ70で構成されている。遅延素子32は、直列論理バッファ74、76、78及び80で構成されている。バッファ78の入力端の論理信号反転遅延素子32の入力端37での速い方の信号の補償の為に、これによりラッチ36のC入力端に適切な極性の信号を供給出来る。アンド・ゲート44の入力端には、ラッチ34のQN出力40とラッチ36のQ出力42が供給される。アンド・ゲート44の出力端は、バッファ70の入力端に接続されている。バッファ70の出力端30は、メタステーブル可能信号を発生する。

【0029】トリガ検出用フリップ・フロップ50は、図2について説明したのと本質的に同様の動作を行う。バッファ68の出力端73に出力されるバッファ出力トリガ信号は、トリガ検出用フリップ・フロップ50のC入力端に供給され、遅延素子32のタップ45に出力されるタップ出力トリガ・ホールドオフ信号は、フリップ・フロップ50のD入力端に供給される。フリップ・フロップ50のQ及びQN出力端は、バッファ72に接続され、このバッファ72の出力は、主トリガ信号となる。

【0030】図4は、本発明に係る重要な信号のタイミング図である。A行のバッファ出力トリガ信号は、フリップ・フロップ50のC入力端52、ラッチ34のD入力端及びラッチ36のD入力端に供給される。フリップ・フロップ50のセットアップ時間及びホールド時間は、このタイミング図ではバッファ出力トリガ信号波形的立ち上がりエッジの影部で示されている。

【0031】B行のタップ出力トリガ・ホールドオフ信号は、フリップ・フロップ50のD入力端54に供給される信号である。この波形的立ち上がりエッジの影部は、フリップ・フロップ50のC入力端54に供給されるAのバッファ出力トリガ信号に対してフリップ・フロ

ップ50のセットアップ時間及びホールド時間の制限にタップ出力トリガ・ホールドオフ信号が違反してメタステーブル状態となり得る時間を示している。

【0032】C行のフリップ・フロップ50のQ出力56の波形は、フリップ・フロップ50のメタステーブル状態の可能性の為に論理状態が不安定となる時間領域を示している。

【0033】D行のバッファ出力トリガ・ホールドオフ信号は、ラッチ34のC入力端と遅延素子32の入力端37に供給される。ラッチ34のセットアップ時間とホールド時間は、この波形的影部に示されている。遅延素子32の入力端37からタップ端子45までの遅延時間は、ラッチ34のホールド時間とフリップ・フロップ50のセットアップ時間の和以上に設定する必要がある。

【0034】E行の遅延トリガ・ホールドオフ信号は、ラッチ36のC入力端に供給される。遅延素子32のタップ端子45から出力端38までの遅延時間は、フリップ・フロップ50のホールド時間とラッチ36のセットアップ時間との和以上の時間に設定される。ラッチ36のセットアップ時間及びホールド時間は、この波形的影部として示されている。

【0035】上述のようにタイミング条件が成立した場合には、回路は正常に動作し、ラッチ34及び36並びにフリップ・フロップ50の3つの素子の1つのみがメタステーブル状態となり得るだけである。残りの3つの信号は、ラインFに示したラッチ34のQN出力端40の波形、ラインGに示したラッチ36のQ出力42の波形及びラインHに示したバッファ70の出力端30の波形である。これらは、上述の信号に対して通常の動作関係にある場合を示している。ラインHの信号は、メタステーブル可能信号を表している。

【0036】論理状態遷移検出回路28及びトリガ検出用フリップ・フロップ50は、以下に説明するようにデジタル・サンプリング・オシロスコープの回路として用いられる。図5は、本発明を利用したデジタル・サンプリング・オシロスコープ98の実施例の構成を示すブロック図である。このオシロスコープの被測定外部信号が入力増幅器100に供給され、ここから内部トリガ信号がトリガ入力回路102に供給される。通常、被測定信号は繰り返し信号であり、各波形サイクル毎にトリガ信号が発生される。トリガ検出用フリップ・フロップ50は、プリセット可能掃引カウンタ104及び時間間隔測定ユニット106を駆動する主トリガ信号を発生する。プリセット可能掃引カウンタ104は、バス110を介してプロセッサ108に信号を送り、プロセッサ108は、これによりプログラム・メモリ112に記憶されたプログラムを実行し、波形のサンプリングを行う。トリガ・ホールドオフ信号が同時にバス110に供給される。プロセッサ108は、サンプリング・クロック回路114を起動し、これによりサンプル・ホールド回路1

16は波形のサンプリングを実行し、ADC（アナログ・デジタル変換器）は波形サンプルをデジタイズする。波形がデジタイズされるにつれて、波形の振幅を表すデータが波形メモリ120の適当なアドレスに記憶される。このアドレスは、時間間隔測定ユニット106により測定された各サンプル点の等価時点に対応している。波形メモリ120からデータが繰り返し読み出され、DAC（デジタル・アナログ変換器）122を介してCRT表示装置124に波形が表示される。

【0037】このオシロスコープのデジタイズ過程は、十分に高速なので各掃引毎に刷毛以上の数多くの点サンプリングすることが出来る。掃引を多数回繰り返すことにより、表示装置124上の表示波形は連続した実線波形として表示される。各掃引期間中、トリガ・ホールドオフ信号が真になるので余分なトリガ信号に応じて掃引が早過ぎる時点で再起動されるのを防止出来る。掃引の完了直後のプリセット可能掃引カウンタ104で決まる時点で、トリガ・ホールドオフ信号が偽状態に変化する。もし、トリガ・ホールドオフ信号が偽状態に変化する際に新しいトリガ信号が発生すると、トリガ検出用フリップ・フロップ50で発生するメタステーブル状態に起因する主トリガ信号によって時間間隔測定ユニット106が誤って起動するかも知れない。この結果生じるタイミング誤差により、掃引期間中にデジタイズされた波形サンプル点が波形メモリ120の間違った等価時点のアドレスに記憶され、表示波形にジッタが発生するかも知れない。

【0038】上述のような状況下では、本発明の状態遷移検出回路28は、メタステーブル可能信号を発生するので、この信号に応じてオシロスコープ98は、このようなタイミングの信頼出来ない掃引期間にデジタイズされた波形サンプルを除去することになる。波形サンプルの除去は種々の方法で実現出来るが、好適な方法としては、プロセッサ108がプログラムを実行してオシロスコープのデジタイジング・システムを制御する際に使用するフラグをメタステーブル可能信号に応じてセットすることである。このフラグにより上述のデジタイズ処理に割り込みをかけ、メタステーブル可能信号が偽状態となった場合の主トリガ信号を受けるまで波形メモリにデ

ジタイズした波形サンプルを記憶するのを停止する。

【0039】非同期回路のメタステーブル状態に起因するジッタを除去する本発明の方法及び装置は、他の多くの電子回路にも応用可能である。オシロスコープの場合には上述のようにトリガ検出回路や任意の遅延時間を設定する遅延トリガ・タイマーで使用される。非同期信号を使用する応用例では、誤差、タイミングの乱れ、信号欠落その他の不都合がメタステーブル状態に起因して発生し得るので、これらの問題を当業者は本発明を利用して解決することが出来る。このような応用の具体的な例は、例えばマルチ・ポート・メモリ制御回路、信号取込システム、ヒューマン・インタフェース結合装置等が考えられる。

【0040】

【発明の効果】本発明のメタステーブル状態検出装置は、非同期関係にある2つの信号が所定の期間内に遷移したか否かを検出することにより、メタステーブル状態の発生可能性があるか否かを表す信号を発生することが出来るので、メタステーブル状態に起因するデジタル回路における不都合を除去するのに極めて有益である。

【図面の簡単な説明】

【図1】本発明の一実施例の構成を示すブロック図である。

【図2】図1の回路にトリガ検出用フリップ・フロップを追加した実施例の構成を示すブロック図である。

【図3】本発明に係る他の実施例の構成を示すブロック図である。

【図4】図3の回路の動作を説明する為のタイミング図である。

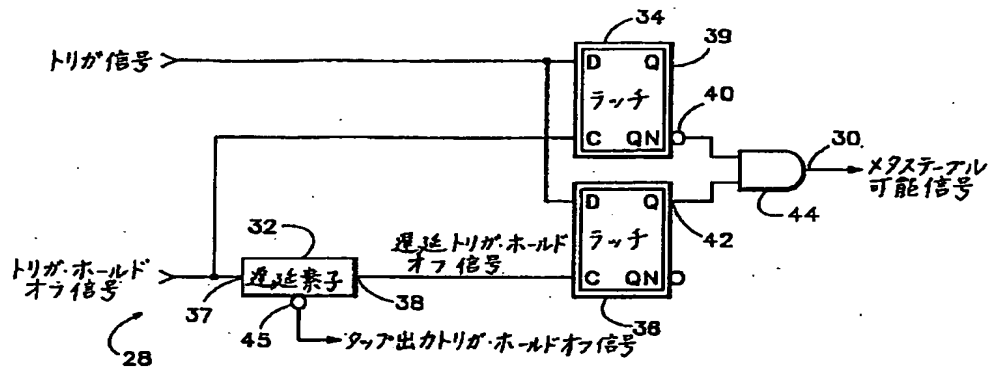
【図5】本発明を応用したデジタル・サンプリング・オシロスコープの構成を示すブロック図である。

【図6】従来の二重同期回路の構成を示すブロック図である。

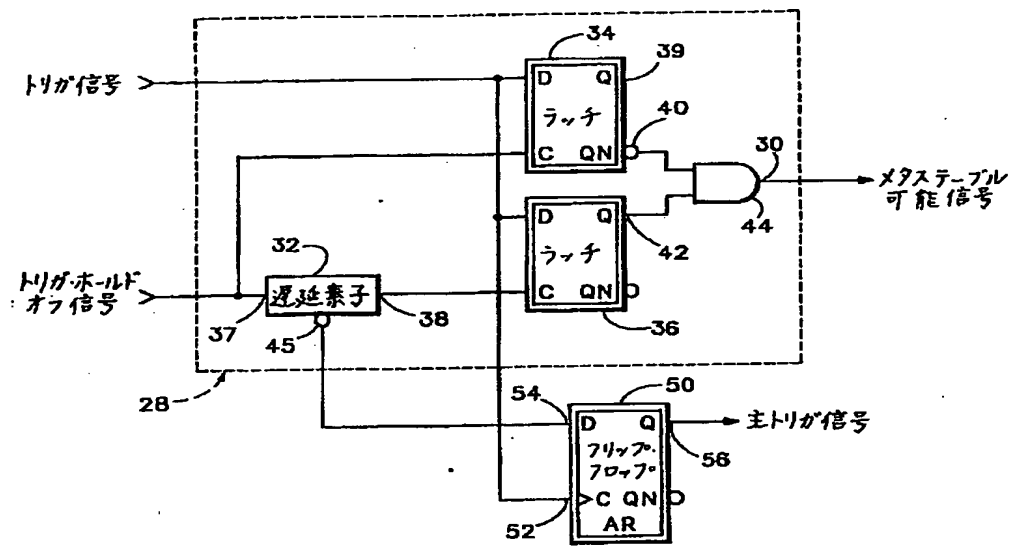
【符号の説明】

- 32 遅延素子
- 34 第1記憶手段（ラッチ）
- 36 第2記憶手段（ラッチ）
- 44 出力手段（アンド・ゲート）

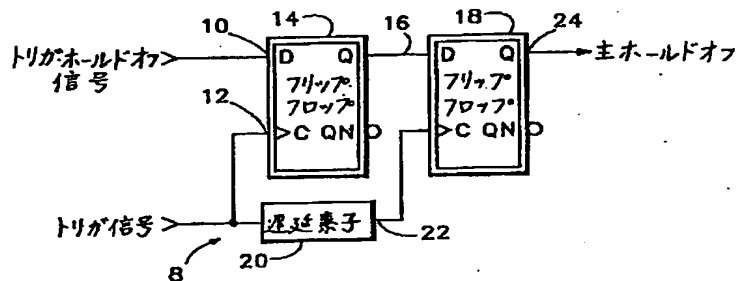
【図1】



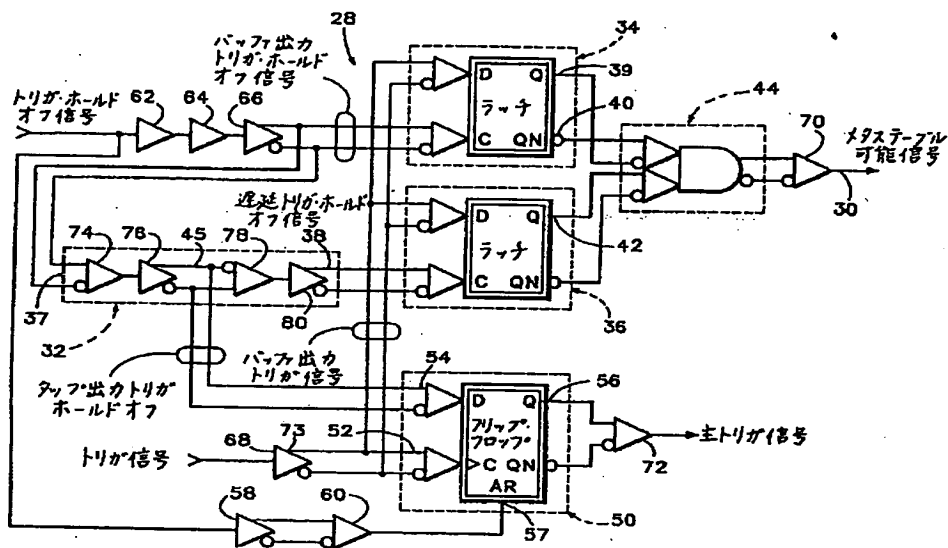
【図2】



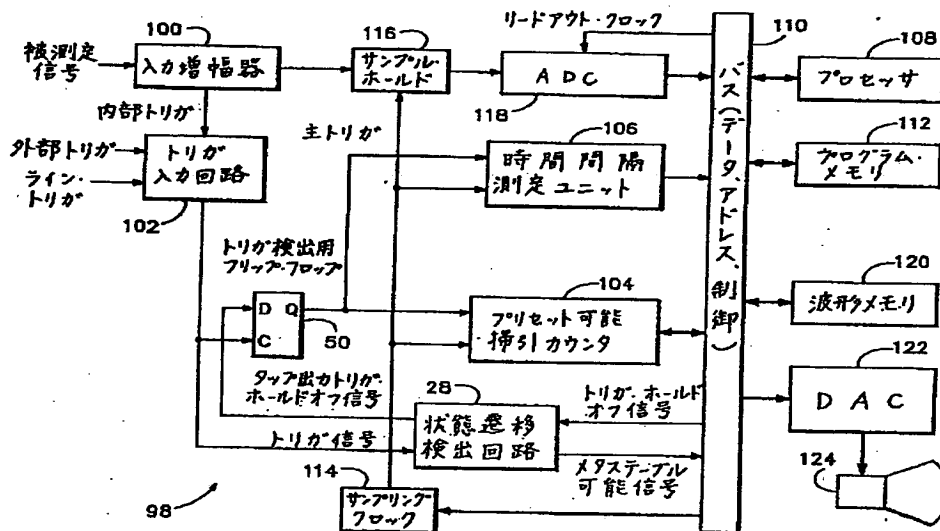
【図6】



【図3】



【図5】



【図4】

